
Contenidos

Contenidos	III
Prefacio	VII
1. Procesadores segmentados	1
1.1. Guión-esquema	1
1.2. Introducción	2
1.3. Procesadores RISC frente a procesadores CISC	3
1.4. Clasificación de las arquitecturas paralelas	6
1.5. Evaluación y mejora del rendimiento de un computador	13
1.6. Características de los procesadores segmentados	18
1.7. Arquitectura segmentada genérica	20
1.7.1. Repertorio de instrucciones de la ASG	22
1.7.2. Implementación de la segmentación de instrucciones en la ASG	25
1.8. Riesgos en la segmentación	30
1.8.1. Riesgos estructurales	31
1.8.2. Riesgos por dependencias de datos	34
1.8.2.1. La reorganización de código	36
1.8.2.2. El interbloqueo entre etapas	38
1.8.2.3. El adelantamiento (<i>camino de bypass o forwarding</i>)	40
1.8.3. Riesgos de control	41
1.9. Planificación dinámica: Algoritmo de Tomasulo	47
1.10. Resumen	57
1.11. Referencias	58
1.12. Preguntas de autoevaluación	59
1.13. Actividades	63

2. Procesadores superescalares	71
2.1. Guión-esquema	71
2.2. Introducción	72
2.3. Características de los procesadores superescalares	73
2.4. Arquitectura de un procesador superescalar genérico	78
2.5. Lectura de instrucciones	87
2.5.1. Falta de alineamiento	89
2.5.2. Rotura de la secuencialidad	91
2.5.3. Tratamiento de los saltos	94
2.5.4. Estrategias de predicción dinámica	94
2.5.4.1. Predicción de la dirección de destino de salto mediante BTAC	95
2.5.4.2. Predicción de la dirección de destino de salto mediante BTB con historial de salto	100
2.5.4.3. Predictor de Smith o predictor bimodal	102
2.5.4.4. Predictor de dos niveles basado en el historial global	103
2.5.4.5. Predictor de dos niveles basado en el historial local	105
2.5.4.6. Predictor de dos niveles de índice compartido <i>gshare</i>	106
2.5.4.7. Predictores híbridos	107
2.5.5. Pila de dirección de retorno	107
2.5.6. Tratamiento de los errores en la predicción de los saltos	109
2.6. Decodificación	112
2.6.1. Predecodificación	114
2.6.2. Traducción de instrucciones	117
2.7. Distribución	120
2.7.1. Organización de la ventana de instrucciones	121
2.7.2. Operativa de una estación de reserva individual	124
2.7.2.1. Fase de distribución	129
2.7.2.2. Fase de supervisión	130
2.7.2.3. Fase de emisión	131
2.7.3. Lectura de los operandos	135
2.7.4. Renombramiento de registros	143
2.7.4.1. Organización independiente del RRF con acceso indexado	147
2.7.4.2. Organización independiente del RRF con acceso asociativo	151
2.7.4.3. Organización del RRF como parte del buffer de reordenamiento	152
2.7.5. Ejemplo de procesamiento de instrucciones con renombramiento	154
2.8. Terminación	163
2.9. Retirada	170
2.10. Mejoras en el procesamiento de las instrucciones de carga/almacenamiento	174
2.10.1. Reenvío de datos entre instrucciones de almacenamiento y de carga	174

2.10.2. Terminación adelantada de las instrucciones de carga	177
2.11. Tratamiento de interrupciones	180
2.11.1. Excepciones precisas con buffer de reordenamiento	188
2.12. Limitaciones de los procesadores superescalares	189
2.13. Resumen: Una visión global del núcleo de ejecución dinámica	191
2.14. Referencias	193
2.15. Preguntas de autoevaluación	194
2.16. Actividades	201
3. Procesadores VLIW y procesadores vectoriales	209
3.1. Guión-esquema	209
3.2. Introducción	210
3.3. El concepto arquitectónico VLIW	212
3.4. Arquitectura de un procesador VLIW genérico	215
3.5. Planificación estática o basada en el compilador	218
3.6. Desenrollamiento de bucles	221
3.7. Segmentación software	224
3.8. Planificación de trazas	228
3.9. Operaciones con predicado	235
3.10. Tratamiento de excepciones	239
3.11. El enfoque EPIC	239
3.12. Procesadores vectoriales	242
3.13. Arquitectura vectorial básica	244
3.14. Repertorio genérico de instrucciones vectoriales	250
3.15. Medida del rendimiento de un fragmento de código vectorial	255
3.16. La unidad funcional de carga/almacenamiento vectorial	258
3.17. Medida del rendimiento de un bucle vectorizado	264
3.18. Resumen: Visión global y perspectivas de futuro	274
3.19. Referencias	277
3.20. Preguntas de autoevaluación	278
3.21. Actividades	291
4. Procesamiento Paralelo	299
4.1. Guión-Esquema	299
4.2. Introducción	300
4.3. Tipos de plataformas de computación paralela	301
4.3.1. Organización basada en la estructura de control	301
4.3.1.1. Paradigma Maestro/Esclavo	303
4.3.1.2. Paradigma SPMD (Single Program Multiple Data)	304
4.3.2. Organización basada en el modelo de comunicación	305

4.3.2.1.	Espacio de direcciones compartido	305
4.3.2.2.	Paso de mensajes	309
4.4.	Sistemas de memoria compartida	310
4.4.1.	Redes de interconexión	311
4.4.1.1.	Redes estáticas	311
4.4.1.2.	Caracterización de redes estáticas	318
4.4.1.3.	Redes dinámicas	319
4.4.1.4.	Comparación del rendimiento de redes dinámicas	327
4.4.2.	Protocolos de coherencia de caché	327
4.5.	Sistemas de memoria distribuida	333
4.5.1.	Consideraciones generales sobre los clusters	336
4.5.2.	¿Por qué clusters?	336
4.5.3.	¿Cuándo y cómo utilizar un cluster?	339
4.5.4.	Programación de clusters	341
4.6.	Rendimiento y costes en sistemas paralelos	342
4.6.1.	Factores que influyen en la velocidad computacional	342
4.6.1.1.	Granularidad de los procesos	342
4.6.1.2.	Factor de aceleración (<i>speedup</i>)	343
4.6.1.3.	Ley de Amdahl	345
4.6.1.4.	Eficiencia	347
4.6.1.5.	Coste	348
4.6.1.6.	Escalabilidad	348
4.6.1.7.	Balance de carga	349
4.6.2.	Costes de la comunicación mediante paso de mensajes	352
4.6.3.	Costes de la comunicación mediante memoria compartida	355
4.7.	Resumen	357
4.8.	Referencias	357
4.9.	Preguntas de autoevaluación	358
4.10.	Actividades	363
A.	Memoria Virtual	367
	Índice	377